

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Noriyuki MIURA

Serial No.: [NEW]

Attn: Applications Branch

Filed: March 8, 2002

Attorney Docket No.: OKI.313

For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-68895

filed March 12, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 8, 2002

#4 / P. 013
OKI
6/26/02

Jc971 U.S. PTO

10/092499



F-00ED0037-US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c971 U.S. PTO
10/092499
03/08/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月12日

出 願 番 号
Application Number:

特願2001-068895

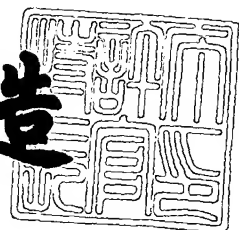
出 願 人
Applicant(s):

沖電気工業株式会社

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3099787

【書類名】 特許願

【整理番号】 KT000333

【提出日】 平成13年 3月12日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 三浦 規之

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096091

【弁理士】

【氏名又は名称】 井上 誠一

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【包括委任状番号】 0001436

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 S O I 層にイオンを注入して M O S F E T のしきい値電圧を制御する半導体装置の製造方法であって、

前記 S O I 層にしきい値電圧制御イオンを注入する工程は、

前記しきい値電圧制御イオンを、その濃度ピーク値が前記 S O I 層の 1 / 2 深さ位置と前記 S O I 層の下部界面位置との間に位置するような濃度分布で前記 S O I 層に注入する工程である、
ことを特徴とする半導体装置の製造方法。

【請求項 2】 前記しきい値電圧制御イオンの注入工程は、

前記 S O I 層上にゲート電極を形成した後に、前記しきい値電圧制御イオンを所定角度で前記 S O I 層に注入する工程である、
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 S O I 層にイオンを注入して M O S F E T のしきい値電圧を制御する半導体装置の製造方法であって、

前記しきい値電圧制御イオンを、その濃度ピーク値が前記 S O I 層の 1 / 2 深さ位置と、前記 S O I 層の上部界面位置との間に位置する濃度分布で前記 S O I 層に注入する工程と、

前記しきい値電圧制御イオンが前記 S O I 層の深さ方向で略均一な濃度分布なるように熱処理により拡散させる工程と、
を有する、ことを特徴とする半導体装置の製造方法。

【請求項 4】 S O I 層にイオンを注入して M O S F E T のしきい値電圧を制御する半導体装置の製造方法であって、

前記しきい値電圧制御イオンを、その濃度ピーク値が前記 S O I 層の 1 / 2 深さ位置を中心として前記 S O I 層厚さの 1 0 % 範囲内に位置するような濃度分布で注入する工程である、ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、さらに詳細には、SOI層にイオンを注入してMOSFETのしきい値電圧を制御する半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来におけるSOI構造のMOSFET素子は、例えば、J. W. Tomas et. al., Proceeding IEEE Intr. SOI conf., 116 (1995)に開示されている。

【0003】

以下に、Si基板上のSOI基板にMOSFETを形成する半導体装置の製造方法を、図19及び図20に基づいて説明する。なお、図19及び図20は、本実施形態にかかる半導体装置の製造方法を説明するための断面工程図である。

【0004】

まず、図19(a)に示すように、Si基板500上に埋め込み酸化膜(BOX膜)502及びSOI層504が形成された基板を準備する。次いで、図19(b)に示すように、上記SOI層504上に酸化膜(パッド酸化膜)506を形成した後、図19(c)に示すように、窒化膜(Si₃N₄膜)508を堆積する。

【0005】

さらに、図19(d)に示すように、例えばLOCOS(LOCAl Oxidation)法あるいはSTI(Shal low Trench Isol ation)法により、素子分離酸化膜を形成する。

【0006】

その後、図19(e)に示すように、パッド酸化膜506を除去した後、図19(f)に示すように、10nm以下の薄い酸化膜510をSOI層504の全体表面に形成する。

【0007】

さらに、図20(a)に示すように、SOI層504にしきい値電圧制御イオ

ン512を注入する。なお、このとき、n-MOSFETにはP型不純物イオンが注入され、P-MOSFETにはN型不純物イオンが注入される。その後、図20(b)に示すように、例えばpoly-Siからなるゲート電極514を形成する。最後に、図20(c)に示すように、例えばサイドウォール518を使用してLDD(Lightly Doped Drain)を形成して、MOSFETが完成する。

【0008】

かかる製造方法で製造される半導体装置の特性を図21、図22、図23に基づいて説明する。なお、図21は、MOSFETゲート長としきい値電圧との関係を示すグラフ図である。

【0009】

まず、図21に示すように、MOSFETのゲート長が短くなるにつれてしきい値電圧(V_{th})が徐々に低下し、所定の長さより短くなるととしきい値電圧が急激に低下する($V_{th-roll off}$)。このことは、半導体装置の小型化によりゲート長が短縮された場合に、例えば製造時にゲート長のばらつきが発生するとしきい電圧が大きく変動することを意味する(短チャネル効果)。即ち、ゲート長が例えば $0.35\mu m$ である場合には、ゲート長が多少ばらつきいてもしきい値電圧はあまり変動しない。しかしながら、半導体装置の小型化により、ゲート長が例えば $0.15\mu m$ となる場合には、ゲート長が少しばらついただけでしきい値電圧が大きく変動してしまう。このため、半導体装置の小型化によりゲート長が短縮されても、しきい値電圧に与える影響を小さすることが可能な半導体装置の製造方法が望まれる。

【0010】

また、図22には、MOSFETゲート長とサブスレッショルド係数(S値)と関係が示される。図22に示すように、MOSFETのゲート長が短くなるにつれてS値が徐々に上昇し、所定の長さより短くなるとS値が急激に上昇する。かかるS値は、大きい値であるほどI_{off}(オフリーク電流)が増大する。このことは、半導体装置の小型化によりゲート長が短縮された場合に、S値が急激に増加し、リーク電流が増大することを意味する。したがって、半導体装置の小

型化によりゲート長が短縮されてもS値を上昇させずに消費電力を低減することが可能な半導体装置の製造方法が望まれる。

【0011】

ところで、ゲート長の短縮に伴うしきい値電圧の低下を防止する（即ち、短チャネル効果を防止する）方法として、薄いSOI膜を形成することが有効であることが一般に既知である。

【0012】

しかしながら、図23でSOI膜厚とMOSFETしきい値電圧との関係を示すように、SOI層の膜厚（ T_{soi} ）が薄くなるにつれて、しきい値電圧が急激に低下する。

【0013】

【発明が解決しようとする課題】

上記のように、薄いSOI層を採用してMOSFETの短チャネル効果を防止しようとする、SOI層のばらつきがしきい値電圧の変動に与える影響は、厚いSOI膜厚の場合と比較して大きくなるという問題がある。

【0014】

したがって、本発明の目的は、半導体装置の小型化に伴う短チャネル効果を効果的に防止し、かつ高いS値を得ることが可能な新規かつ改良された半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】

上記課題を解決するため、本願の代表的な発明では、SOI層にイオンを注入してMOSFETのしきい値電圧を制御する半導体装置の製造方法であって、前記SOI層にしきい値電圧制御イオンを注入する工程は、前記しきい値電圧制御イオンを、その濃度ピーク値が前記SOI層の1/2深さ位置と前記SOI層の下部界面位置との間に位置するような濃度分布で前記SOI層に注入する工程である、ことを特徴とする半導体装置の製造方法が提供される。

【0016】

本項記載の発明では、しきい値電圧制御イオンを、その濃度ピーク値がSOI

層の1/2深さ位置とSOI層の下部界面位置との間に位置する濃度分布で注入したので、ドレイン領域から伸びてくるポテンシャル障壁の低下を効果的に抑えることができる。この結果、半導体装置の小型化により発生する短チャネル効果を効果的に抑制することができる。

【0017】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。尚、以下の説明及び添付図面において、同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。

【0018】

(第1の実施の形態)

まず、図1～図7を参照しながら、第1の実施の形態について説明する。なお、図1及び図2は、第1の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【0019】

まず、図1(a)に示すように、Si基板100上に埋め込み酸化膜(BOX膜)102及びSOI層104が形成された基板を準備する。次いで、図1(b)に示すように、上記SOI層104上に酸化膜(パッド酸化膜)106を形成した後、図1(c)に示すように、窒化膜(Si₃N₄膜)108を堆積する。

【0020】

さらに、図1(d)に示すように、LOCOS(LOCAl Oxidation)法あるいはSTI(Shallow Trench Isolation)法により、素子分離酸化膜を形成する。

【0021】

その後、図1(e)に示すように、パッド酸化膜106を除去した後、図1(f)に示すように、10nm以下の薄い酸化膜110をSOI層104の全体表面に形成する。

【0022】

さらに、図2(a)に示すように、SOI層104にしきい値電圧制御イオン

112を注入する。なお、このとき、 n -MOSFETにはP型不純物イオンが注入され、 P -MOSFETにはN型不純物イオンが注入される。本実施形態においては、図3に示すように、しきい値電圧制御イオン112は、その濃度ピーク値がSOI層104の $1/2$ 深さ位置($1/2 T_{SOI}$)とSOI層104の下部界面位置(T_{SOI})の間に位置するような濃度分布で注入される。

【0023】

さらに、図2(b)に示すように、例えばpoly-Siからなるゲート電極114を形成する。最後に、図2(c)に示すように、例えばサイドウォール118を使用してLDD(Lightly Doped Drain)を形成して、MOSFETが完成する。

【0024】

本実施形態においては、しきい値電圧制御イオン112は、その濃度ピーク値がSOI層の $1/2$ 深さ位置($1/2 T_{SOI}$)とSOI層の下部界面位置(T_{SOI})の間に位置する濃度分布で注入されるので、しきい値電圧の低下($V_{th-roll off}$)を抑制することができる。以下、図4及び図5に基づいて、詳細に説明する。

【0025】

図4に示すように、しきい値電圧制御イオンを、その濃度ピーク位置が異なるようにSOI層に注入した3種類の半導体装置を製造した。なお、曲線A(工程A)は、しきい値電圧制御イオンの濃度ピーク値はSOI層の略表面付近(即ちSOI層の上部界面付近)に位置することを示している。曲線B(工程B)は、しきい値電圧制御イオンの濃度ピーク値がSOI層の $1/2$ 深さ位置($1/2 T_{SOI}$)とSOI層の下部界面位置(T_{SOI})の間に位置することを示している。曲線C(工程C)は、しきい値電圧制御イオンの濃度のピーク値がSOI層の略下部界面付近に位置することを示している。

【0026】

図5に示すように、上記3種類の濃度分布でしきい値電圧制御イオンが注入された半導体装置(各曲線A, B, C)においては、ゲート電極長さが短くなるに従ってしきい値電圧も低下するが、曲線B(即ち、深さプロファイルピーク $1/2$

$2T_{SOI} \sim T_{SOI}$) の場合には、他の曲線 A、C と比較して、しきい値電圧が最も低下しないことが示されている。このことは、半導体装置の小型化に伴いゲート長が短縮された場合に、例えば MOSFET 製造時にゲート長のばらつきが発生しても、しきい値電圧の変動が最も押さえることができる。このように、しきい値電圧制御イオンの濃度ピーク位置を $1/2T_{soi} \sim T_{soi}$ の範囲に設定することにより、しきい値電圧の低下 ($V_{th-roll-off}$) を抑えることができる。

【0027】

さらに、図 6 に基づいて詳細に説明する。まず、図 6 (a) は、 40 nm ($0.04\text{ }\mu\text{ m}$) 厚さの SOI 層に対して、濃度ピーク位置を各々変化させて不純物を注入した場合のシミュレーション結果である。なお、このとき、 $1\text{ }\mu\text{ m}$ のゲート長 (長チャネル) でしきい値電圧 (V_{th}) が同一なるようにドーズ量を調整した。この長チャネルでのしきい値電圧を同一とすることで、ゲート長を短くした場合の短チャネル効果 (しきい値電圧低下) を正確に比較できるようにした。次いで、ゲート長を $0.15\text{ }\mu\text{ m}$ として、上記 $1\text{ }\mu\text{ m}$ のゲート長で同一のしきい値電圧が得られる各々のドーズ量注入条件で不純物を注入し、しきい値電圧を算出した。さらに、 $1\text{ }\mu\text{ m}$ のゲート長でのしきい値電圧と、 $0.15\text{ }\mu\text{ m}$ のゲート長でのしきい値電圧との差をしきい値電圧の低下 ($V_{th-roll-off}$) と定義し、濃度ピーク位置との関係を調査した。かかる関係は、図 6 (b) に示すように、イオン濃度ピーク位置の深さが $1/2T_{soi}$ よりも浅い位置 (図中 $0 \sim 0.5$ の間) にある場合にはしきい値電圧の低下が顕著であるが、イオン濃度ピーク位置の深さが $1/2T_{soi}$ よりも深い位置 (図中 $0.5 \sim 1$ の間) では、しきい値電圧の低下が効果的に抑制されることが分かる。

【0028】

これは、図 7 に示すように、MOSFET におけるポテンシャル障壁により説明することができる。なお、図 7 (a) は、本実施形態にかかる半導体装置の製造方法 (工程 B) により製造した半導体装置のポテンシャル分布を示す等ポテンシャル線図である。また、図 7 (b) は、上記工程 A により製造した半導体装置のポテンシャル分布を示す等ポテンシャル線図である。なお、本実施形態におい

ては、ゲート電圧として略しきい値電圧を印加し ($V_g \cong V_{th}$) , ドレイン側に電源電圧を印加している。

【 0 0 2 9 】

まず、図 7 (a) に示すように、しきい値電圧制御イオンの濃度ピーク値を S O I 層の略上部界面付近に位置するように注入した半導体装置 (工程 A) では、ドレイン側に印加した電圧の影響により、ドレイン側からポテンシャル障壁が極端に低下していることが示される。

【 0 0 3 0 】

一方、本実施形態にかかる半導体装置の製造方法 (工程 B) により製造した半導体装置においては、図 7 (b) に示すように、ドレイン側に印加した電圧の影響により、ドレイン側のポテンシャル障壁が若干下がっているものの、上記工程 A で製造した半導体装置と比較して、ポテンシャル障壁が下がりにくいことが示されている。

【 0 0 3 1 】

このように、かかるポテンシャル障壁は、深い位置の濃度を上げると反転しにくくなる (ポテンシャル障壁が下がりにくくなる) ことが分かる。なお、上記しきい値電圧制御イオンの濃度ピーク位置が下部界面位置 (T_{soi}) よりも深い位置である場合には (即ち、S O I 層の下層である埋め込み酸化膜にしきい値制御イオンの濃度ピーク値が存在する場合には) , S O I 層中のイオン濃度を効果的に制御できないので本実施形態では考慮しないものとする。

【 0 0 3 2 】

本実施形態においては、しきい値電圧制御イオンを、その濃度ピーク値が S O I 層の $1/2$ 深さ位置 ($1/2 T_{SOI}$) と S O I 層の下部界面位置 (T_{SOI}) の間に位置する濃度分布で注入したので、ドレイン領域から伸びてくるポテンシャル障壁の低下を効果的に抑えることができる。この結果、半導体装置の小型化により発生する短チャネル効果を効果的に抑制することができる。

【 0 0 3 3 】

(第 2 の実施の形態)

以下、図 8 に基づいて、第 2 の実施の形態について説明する。なお、図 8 は、

第2の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、第1の実施の形態における図1(f)までの工程は、同様であるのでその説明は省略する。

【0034】

本実施形態においては、第1の実施の形態と異なり、図8(a)に示すように、10nm以下の薄い酸化膜210をSOI層204の全体表面に形成した後、ゲート電極214を形成する。その後、ポケットイオン注入法により、斜め方向から所定角度でしきい値電圧制御イオン212をSOI層204に注入する。このとき、図9に示すように、しきい値電圧制御イオン212は、第1の実施の形態と同様に、その濃度ピーク値がSOI層204の1/2深さ位置($1/2 T_{SOI}$)とSOI層204の下部界面位置(T_{SOI})の間に位置するような濃度分布で注入される。また、このとき、n-MOSFETにはP型不純物イオンが注入され、p-MOSFETにはN型不純物イオンが注入される。

【0035】

この工程を、図10に基づいて説明する。図10に示すように、ゲート電極214を形成した後、しきい値電圧制御イオン212をSOI層204に対して垂直に打ち込むと、ゲート電極214が障害となり、特にドレイン領域付近のイオン濃度を増加することができない。このため、本実施形態では、第1の実施の形態と異なり、ポケットイオン注入法を採用し、斜め方向から所定角度でしきい値電圧制御イオン212を注入することにより、特にドレイン領域付近のイオン濃度を増加させる。このことにより、ドレイン領域から延びてくるポテンシャル障壁の低下を効果的に抑制することができる。なお、ポケットイオン注入法によるしきい値電圧制御イオンの注入角度(チルド角)は、各種条件に応じて適宜設計することができる。

【0036】

最後に、図8(b)に示すように、例えばサイドウォール218を使用してLDD(Lightly Doped Drain)を形成して、MOSFETが完成する。

【0037】

本実施形態においては、しきい値電圧制御イオン212は、ゲート電極214形成後に、ポケットイオン注入法により、その濃度ピーク値がSOI層204の $1/2$ 深さ位置($1/2 T_{SOI}$)とSOI層204の下部界面位置(T_{SOI})の間に位置する濃度分布で注入されているので、しきい値電圧の低下($V_{th-roll-off}$)を抑制することができる。以下、図11及び図12に基づいて、詳細に説明する。

【0038】

図11には、ポケットイオン注入法によりしきい値電圧制御イオンを注入した半導体装置のキャリア濃度分布が、ポケットイオン注入法を使用せずにしきい値電圧制御イオンを注入した場合と比較して示されている。

【0039】

図11に示すように、ポケット注入法を使用しないでしきい値電圧制御イオンをSOI層に注入した場合には、ゲート電極下における、埋め込み酸化膜(BOX層)とSOI層の界面(SOI層/BOX層)での濃度分布は、低濃度で略均一な濃度分布となっている。

【0040】

一方、ポケット注入法を使用して、しきい値電圧制御イオンをSOI層に注入した場合には、ゲート電極下における、埋め込み酸化膜(BOX層)とSOI層の界面(SOI層/BOX層)での濃度分布は、ソースドレイン領域でしきい値電圧制御イオン濃度が上昇している。このことにより、ドレイン側からポテンシャル障壁が低下することを効果的に防止することができる。

【0041】

また、図12には、ポケットイオン注入法によりしきい値電圧制御イオンを注入した半導体装置におけるゲート電極長としきい値電圧との関係が、ポケットイオン注入法を使用せずにしきい値電圧制御イオンを注入した場合と比較して示されている。

【0042】

図12に示すように、ポケットイオン注入法を使用した場合には、ポケットイオン注入法を使用しない場合と比較して、ゲート長が短縮されてもしきい値電圧

の低下はそれほど顕著ではないことがわかる。このように、半導体装置の小型化によりゲート長が短縮された場合であっても、しきい値電圧の低下 (V_{th-off}) を表面濃度を上げずに効果的に抑えることができ、短チャネル効果を抑制することができる。

【0043】

なお、上記しきい値電圧制御イオンの濃度ピーク位置が下部界面位置 (T_{soi}) よりも深い位置である場合には (即ち、SOI層の下層である埋め込み酸化膜にしきい値制御イオンの濃度ピーク値が存在する場合には)、SOI層中のイオン濃度を効果的に制御できないので本実施形態では考慮しないものとする。

【0044】

本実施形態においては、ゲート電極形成後に、ポケットイオン注入により、しきい値電圧制御イオンをその濃度ピーク値がSOI層の $1/2$ 深さ位置 ($1/2 T_{SOI}$) とSOI層の下部界面位置 (T_{SOI}) の間に位置する濃度分布で注入するので、ドレイン領域付近のイオン濃度を高めることができる。この結果、ドレイン領域から伸びてくるポテンシャル障壁の低下を第1の実施の形態と比較して効果的に抑えることができ、短チャネル効果をより効果的に防止することができる。

【0045】

(第3の実施の形態)

上記実施形態においては、SOI層の深い位置に直接イオンを注入する構成を採用したが、種々の理由により、しきい値制御イオンをSOI層の深い位置に注入できない場合がある。本実施形態においては、しきい値制御イオンをSOI層の浅い位置にイオンを注入した後、熱処理を施すことによりSOI層の深い位置のイオン濃度を高めることができる。

【0046】

以下、図13に基づいて、第3の実施の形態について説明する。なお、図13は、第3の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、第1の実施の形態における図1(f)までの工程は、同様であるのでその説明は省略する。

【 0 0 4 7 】

本実施形態においては、第 1 の実施の形態と異なり、図 1 3 (a) に示すように、しきい値電圧制御イオン 3 1 2 を、その濃度ピーク値が S O I 層 3 0 4 の $1/2$ 深さ位置 ($1/2 T_{S O I}$) と S O I 層 3 0 4 の上部界面位置との間に位置する濃度分布で注入する。なお、このとき、n-M O S F E T には P 型不純物イオンが注入され、P-M O S F E T には N 型不純物イオンが注入される。

【 0 0 4 8 】

その後、図 1 3 (b) に示すように、例えば N₂ などの不活性雰囲気中あるいは真空雰囲気中で、例えば 9 5 0 ° C ~ 1 , 0 0 0 ° C の温度で熱処理を行う (チャネルアニール)。このことにより、しきい値電圧制御イオンが S O I 層の深い位置にまで拡散される。

【 0 0 4 9 】

即ち、図 1 4 に示すように、熱処理前には、S O I 層 3 0 4 の $1/2$ 深さ位置 ($1/2 T_{S O I}$) と S O I 層 3 0 4 の上部界面位置との間に濃度ピーク値が位置しているしきい値電圧制御イオンが、9 5 0 ° C ~ 1 , 0 0 0 ° C の温度で熱処理されることにより拡散されて、S O I 層で略均一な濃度となることが分かる。

【 0 0 5 0 】

また、図 1 5 には、熱処理を施してしきい値制御イオンを拡散した半導体装置におけるゲート電極長としきい値電圧との関係が、熱処理を施さない場合と比較して示されている。

【 0 0 5 1 】

図 1 5 に示すように、9 5 0 ° C ~ 1 , 0 0 0 ° C の温度で熱処理を施してしきい値制御イオンを拡散した場合には、熱処理を施さなかった場合と比較して、ゲート長が短縮されてもしきい値電圧の低下はそれほど顕著ではないことがわかる。このように、半導体装置の小型化によりゲート長が短縮された場合であっても、しきい値電圧の低下 ($V_{t h - r o l l o f f}$) を効果的に抑えることができ、短チャネル効果を抑制することができる。

【 0 0 5 2 】

さらに、図 1 3 (c) に示すように、ゲート電極 3 1 4 を形成する。最後に、

図13(d)に示すように、例えばサイドウォールを使用してLDD(Lightly Doped Drain)を形成して、MOSFETが完成する。

【0053】

本実施形態においては、しきい値制御イオンをSOI層の深い位置に注入できない場合であっても、熱処理によりSOI層の深い位置のイオン濃度を高めることができ、ドレイン領域から伸びてくるポテンシャル障壁の低下を効果的に抑えることができる。この結果、半導体装置の小型化により発生する短チャネル効果を効果的に抑制することができる。

【0054】

(第4の実施の形態)

次に、図16に基づいて、第4の実施の形態について説明する。なお、図16は、第4の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、第1の実施の形態における図1(f)までの工程は、同様であるのでその説明は省略する。

【0055】

まず、図16(a)に示すように、SOI層104にしきい値電圧制御イオン112を注入する。なお、このとき、n-MOSFETにはP型不純物イオンが注入され、p-MOSFETにはN型不純物イオンが注入される。本実施形態においては、図17に示すように、第1の実施の形態と異なり、しきい値電圧制御イオン412を、その濃度ピーク値がSOI層の $1/2$ 深さ位置($1/2 T_{SOI}$)を中心として、SOI層404の厚さの10%範囲($\pm 10\% T_{SOI}$)内に位置するような濃度分布で注入する。

【0056】

その後、図16(b)に示すように、例えばpoly-Siからなるゲート電極414を形成する。最後に、図16(c)に示すように、例えばサイドウォール418を使用してLDDを形成して、MOSFETが完成する。

【0057】

本実施形態においては、しきい値電圧制御イオン412は、その濃度ピーク値がSOI層の $1/2$ 深さ位置($1/2 T_{SOI}$)を中心として、SOI層の厚さ

の10%範囲($\pm 10\% T_{SOI}$)内に位置するような濃度分布で注入されるので、しきい値電圧の低下($V_{th-roll-off}$)を抑制することができる。以下、図18に基づいて、詳細に説明する。

【0058】

なお、図18は、ピーク濃度位置の異なる4種類の半導体装置のS値とS値のばらつきとの関係を示す。また、図18(a)は、S値とS値のばらつき(σ)との関係を示すグラフ図である。図18(b)は、S値とその事象数の関係をヒストグラムである。

【0059】

また、このとき、(I)は、しきい値電圧制御イオンの濃度ピーク値がSOI層の1/2深さ位置($1/2 T_{SOI}$)に対してSOI層の厚さの10%浅い位置($-10\% T_{SOI}$)よりも浅い位置にある半導体装置である。(II)は、しきい値電圧制御イオンの濃度ピーク値がSOI層の1/2深さ位置($1/2 T_{SOI}$)に対してSOI層の厚さの10%浅い位置($-10\% T_{SOI}$)にある半導体装置である。(III)は、しきい値電圧制御イオンの濃度ピーク値がSOI層の1/2深さ位置($1/2 T_{SOI}$)に対してSOI層の厚さの10%深い位置($+10\% T_{SOI}$)にある半導体装置である。(IV)は、しきい値電圧制御イオンの濃度ピーク値がSOI層の1/2深さ位置($1/2 T_{SOI}$)に対してSOI層の厚さの10%深い位置($+10\% T_{SOI}$)よりも深い位置にある半導体装置である。

【0060】

図18には、(II)、(III)は共に、(I)、(IV)よりもS値が小さく、かつS値のばらつきが小さいことが示されている。このように、本実施形態においては、上記S値特性及びS値のばらつきを同時に最適化することができる。

【0061】

これは、しきい値電圧制御イオンをSOI層の表面(即ち上部界面)付近に注入すると、ドレイン領域から伸びてくるポテンシャル障壁の低下を抑制できない、ゲート長の短縮によりしきい値電圧が低下するので、S値が上昇する。

【0062】

一方、しきい値電圧制御イオンをSOI層の深部（埋め込み酸化膜側近傍）に注入するとSOI層中の空乏化率が低下するので、S値が上昇し、SOI層厚のばらつきの影響が大きくなる。

【0063】

本実施形態においては、ドレイン領域から伸びてくるポテンシャル障壁の低下を効果的に抑えることができる。この結果、半導体装置の小型化により発生する短チャネル効果を効果的に抑制することができる。さらにS値特性及びS値のばらつきを同時に最適化することができる。

【0064】

以上、本発明に係る好適な実施の形態について説明したが、本発明はかかる構成に限定されない。当業者であれば、特許請求の範囲に記載された技術思想の範囲内において、各種の修正例および変更例を想定し得るものであり、それらの修正例および変更例についても本発明の技術範囲に包含されるものと了解される。

【0065】

例えば上記第3の実施形態では、熱処理温度を例えば950～1,000℃の温度範囲で行う例を挙げて説明したが、注入したしきい値電圧制御イオンを拡散できる温度であれば実施することができる。なお、通常は、例えば850℃以上の温度が必要である。

【0066】

また、上記第3の実施形態では、N₂ガス雰囲気中で熱処理した例を挙げて説明したが、Ar、He他の不活性ガス雰囲気、あるいは真空雰囲気でも実施することができる。

【0067】

【発明の効果】

ドレイン領域から伸びてくるポテンシャル障壁の低下を効果的に抑えることができる。この結果、半導体装置の小型化により発生する短チャネル効果を効果的に抑制することができる。

【図面の簡単な説明】

【図1】

第 1 の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図 2】

第 1 の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図 3】

第 1 の実施の形態にかかる S O I 層に注入するイオンの濃度分布を示すグラフ図である。

【図 4】

S O I 層に注入したイオン濃度ピーク位置が異なる 3 種類の濃度分布を示すグラフ図である。

【図 5】

イオン濃度ピーク位置が異なる 3 種類の濃度分布で S O I 層にイオンを注入した半導体装置のゲート長としきい値電圧との関係を示すグラフ図である。

【図 6】

イオン濃度ピーク位置としきい値電圧低下との関係を示すグラフ図である。

【図 7】

半導体装置のポテンシャル分布を示す断面図である。

【図 8】

第 2 の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図 9】

第 2 の実施の形態にかかる S O I 層に注入するイオンの濃度分布を示すグラフ図である。

【図 1 0】

第 2 の実施の形態にかかるポケット注入法を説明するための説明図である。

【図 1 1】

ポケット注入法によりイオン注入したキャリア濃度分布を、ポケット注入法を使用しない場合と比較して説明するための説明図である。

【図 1 2】

ポケット注入法によりイオン注入した半導体装置のゲート長としきい値電圧の

関係を、ポケット注入法を使用しない場合と比較して説明するためのグラフ図である。

【図 1 3】

第 3 の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図 1 4】

第 3 の実施の形態にかかる熱処理を施した場合のキャリア濃度分布を、熱処理をしなかった場合と比較して説明するための説明図である。

【図 1 5】

第 3 の実施の形態にかかる熱処理を行った場合半導体装置ゲート長としきい値電圧の関係を、熱処理をしなかった場合と比較して説明するためのグラフ図である。

【図 1 6】

第 4 の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図 1 7】

第 4 の実施の形態にかかる S O I 層に注入するイオンの濃度分布を示すグラフ図である。

【図 1 8】

イオン濃度ピーク位置が異なる 4 種類の濃度分布で S O I 層にイオンを注入した半導体装置における S 値とばらつき、事象との関係を示すグラフ図である。

【図 1 9】

従来における半導体装置の製造方法を示す断面工程図である。

【図 2 0】

従来における半導体装置の製造方法を示す断面工程図である。

【図 2 1】

従来における半導体装置のゲート長としきい値電圧との関係を示すグラフ図である。

【図 2 2】

従来における半導体装置のゲート長と S 値との関係を示すグラフ図である。

【図 2 3】

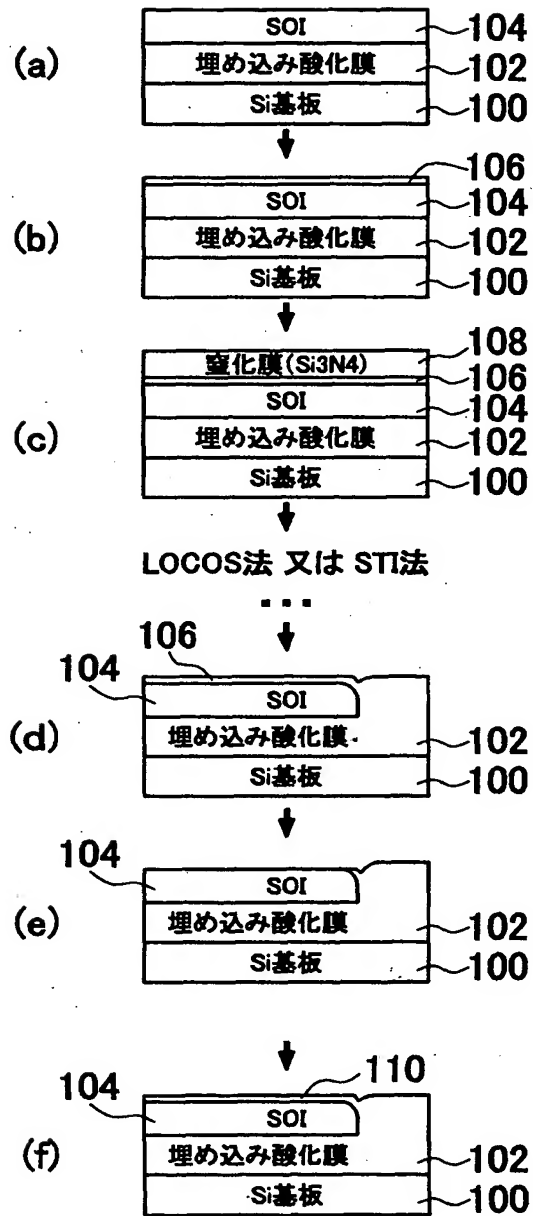
従来における半導体装置のSOI膜厚としきい値電圧との関係を示すグラフ図である。

【符号の説明】

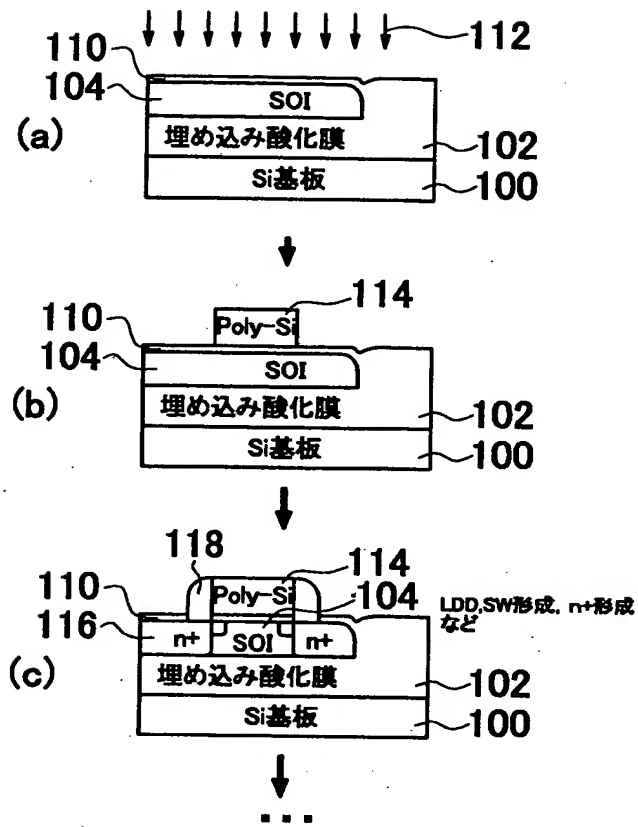
- 1 0 0 S i 基板
- 1 0 2 埋め込み酸化膜
- 1 0 4 S O I 層
- 1 0 6 酸化膜（パッド酸化膜）
- 1 0 8 窒化膜（S i 3 N 4 膜）
- 1 1 0 酸化膜
- 1 1 2 しきい値電圧制御イオン
- 1 1 4 ゲート電極
- 1 1 8 サイドウォール

【書類名】 図面

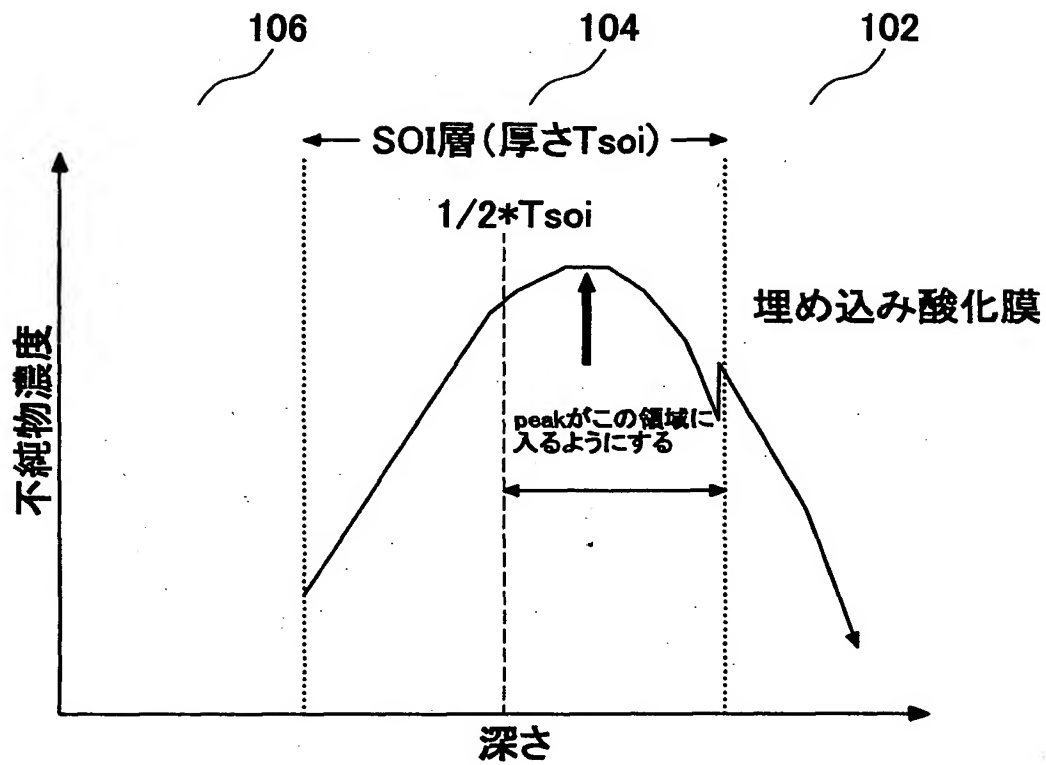
【図1】



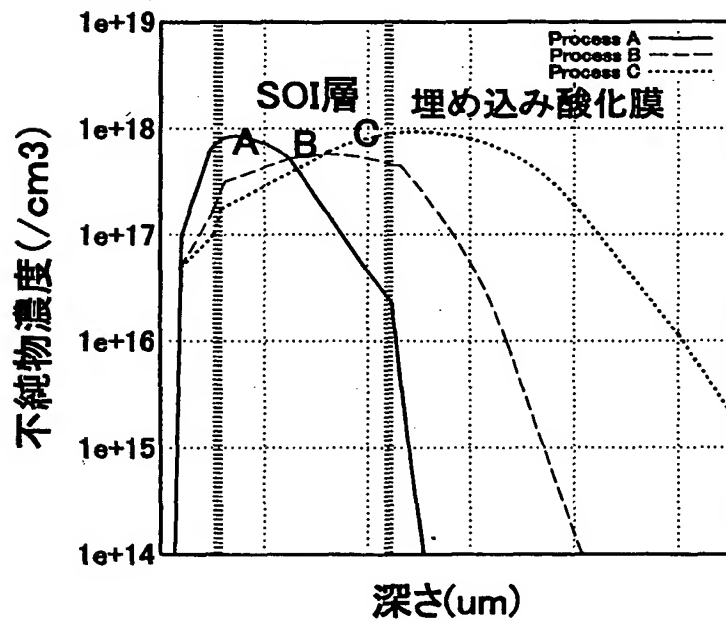
【図2】



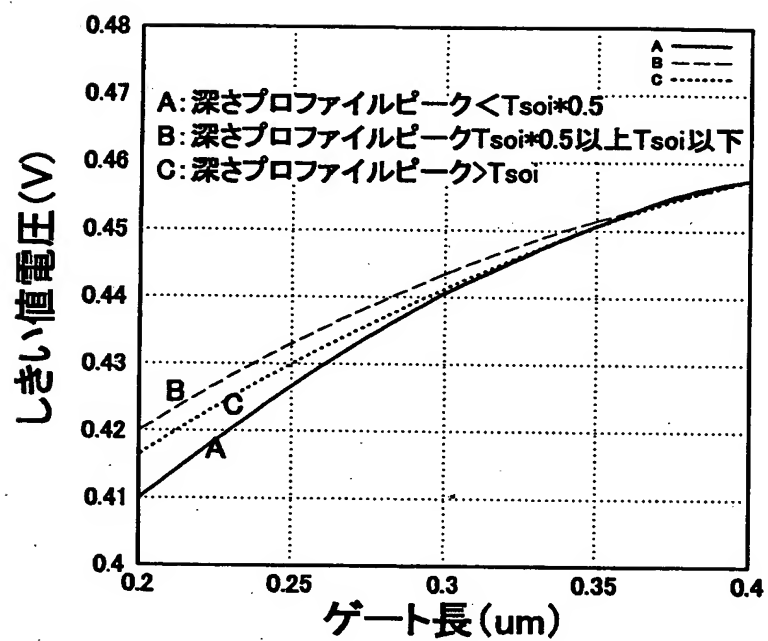
【図 3】



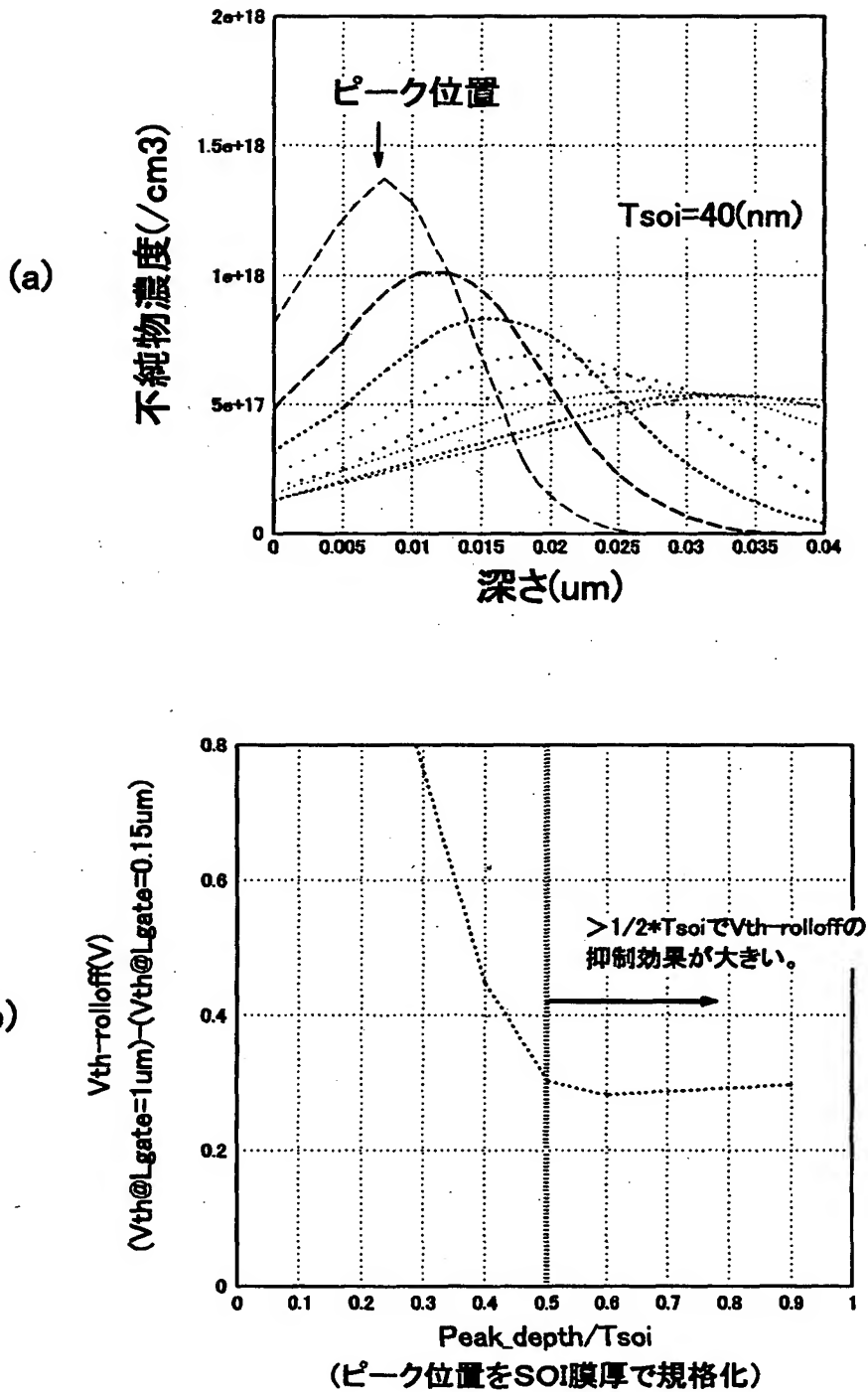
【図 4】



【図 5】

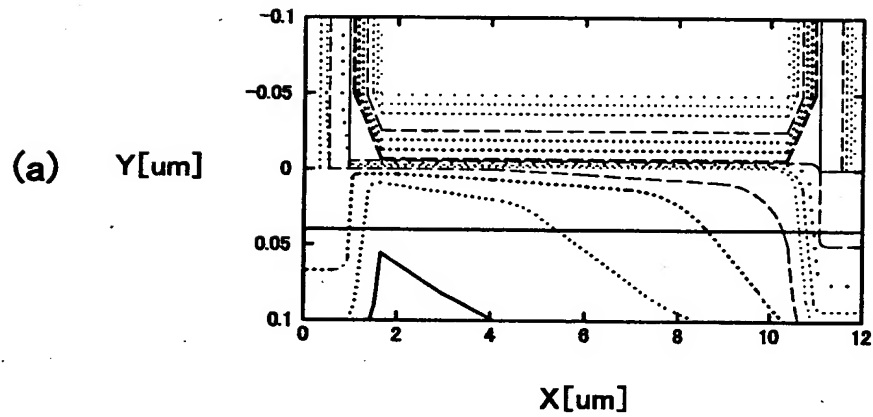


【図 6】

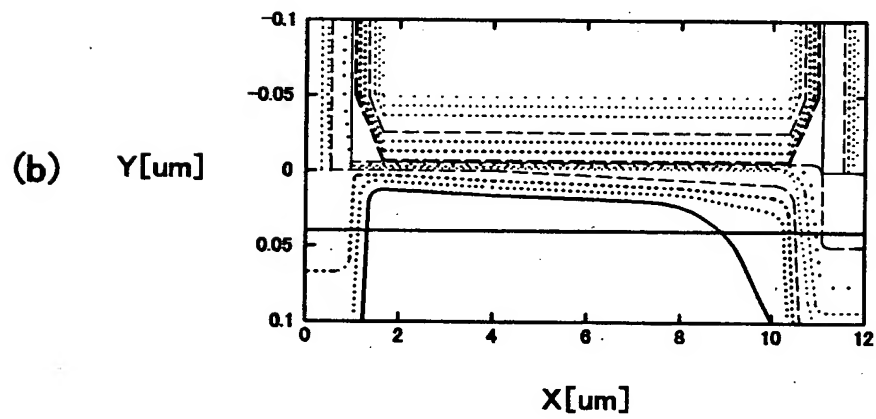


【図 7】

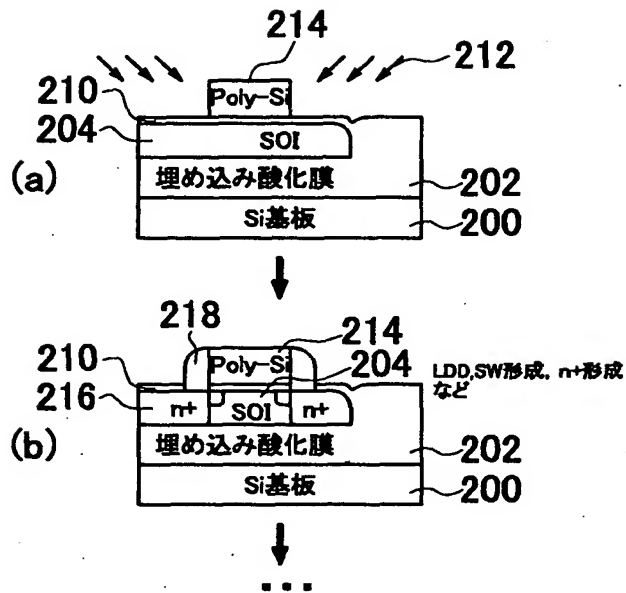
ProcessAにおけるポテンシャル分布



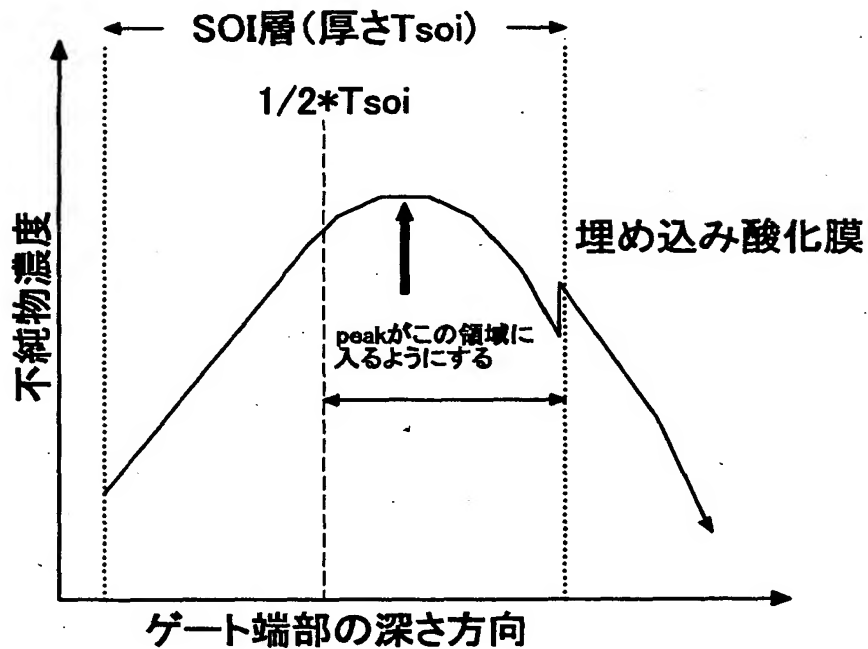
ProcessBにおけるポテンシャル分布



【図 8】

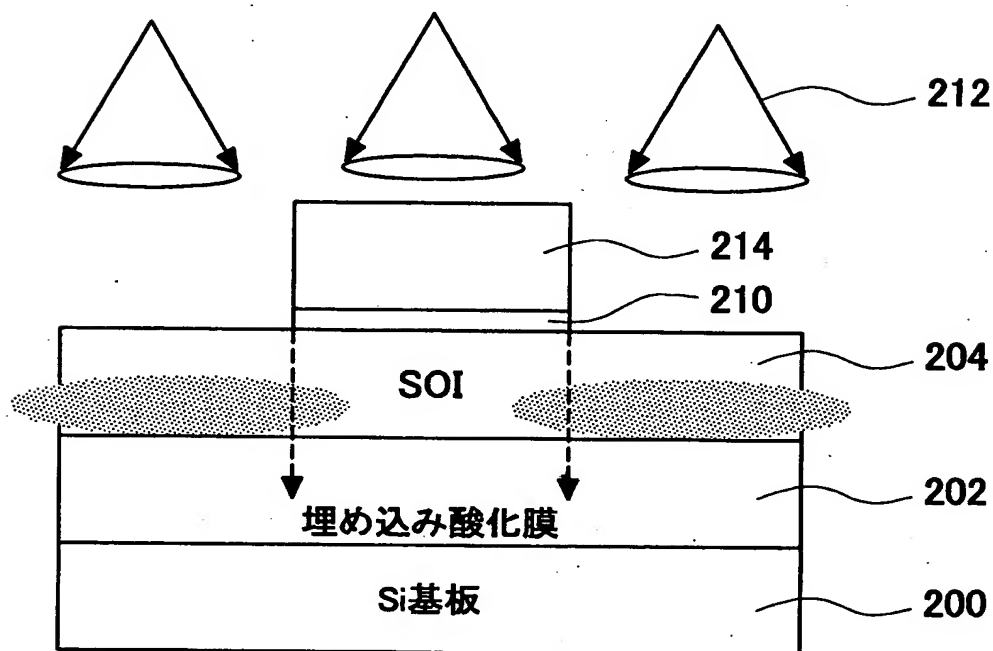


【図 9】

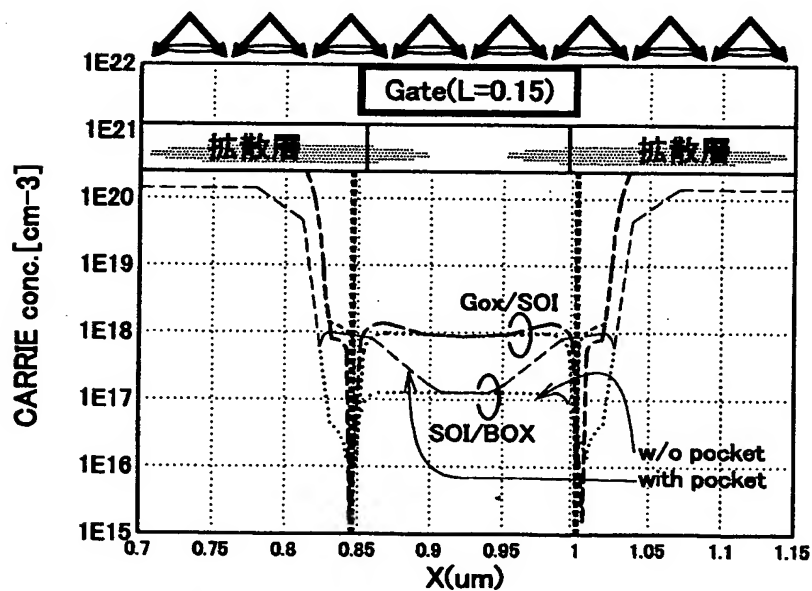


【図10】

Pocketイオン注入(回転斜め)

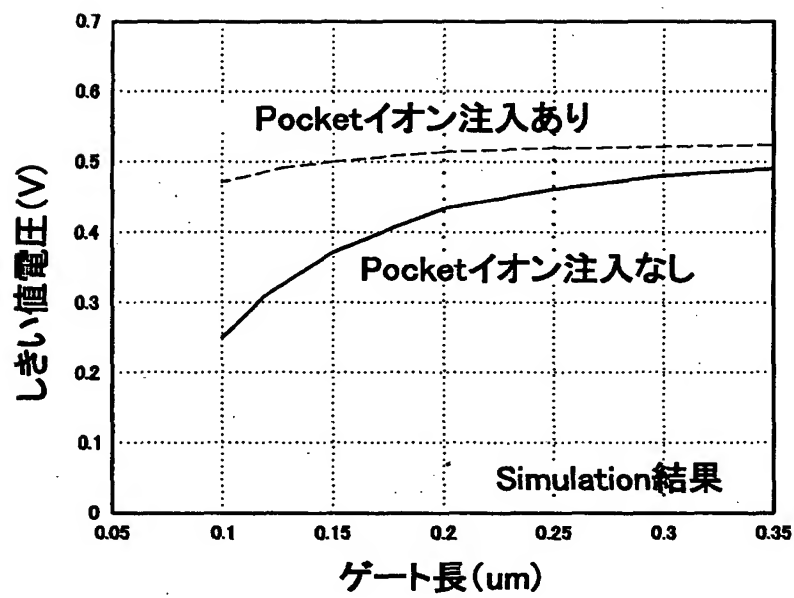


【図11】

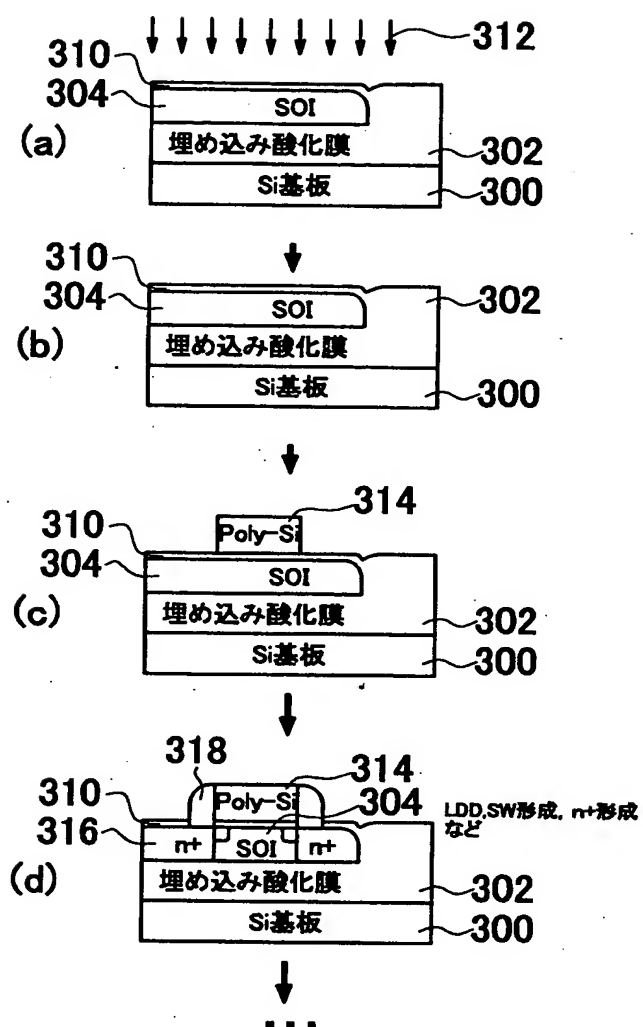


横方向プロファイル(Simulation)

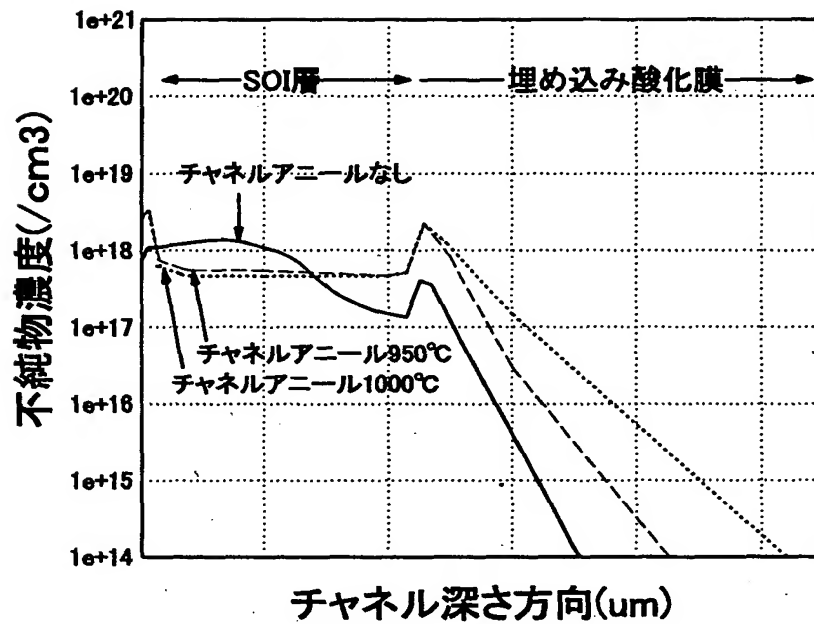
【図 12】



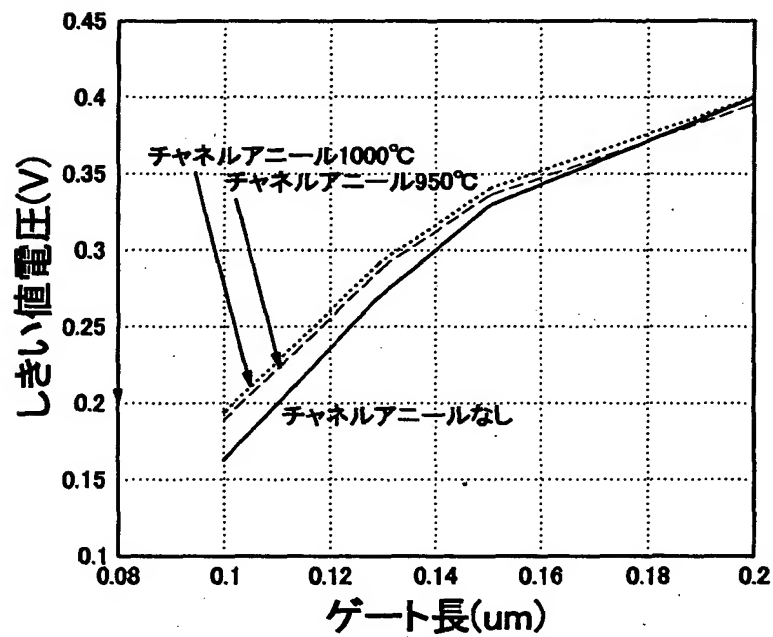
【図13】



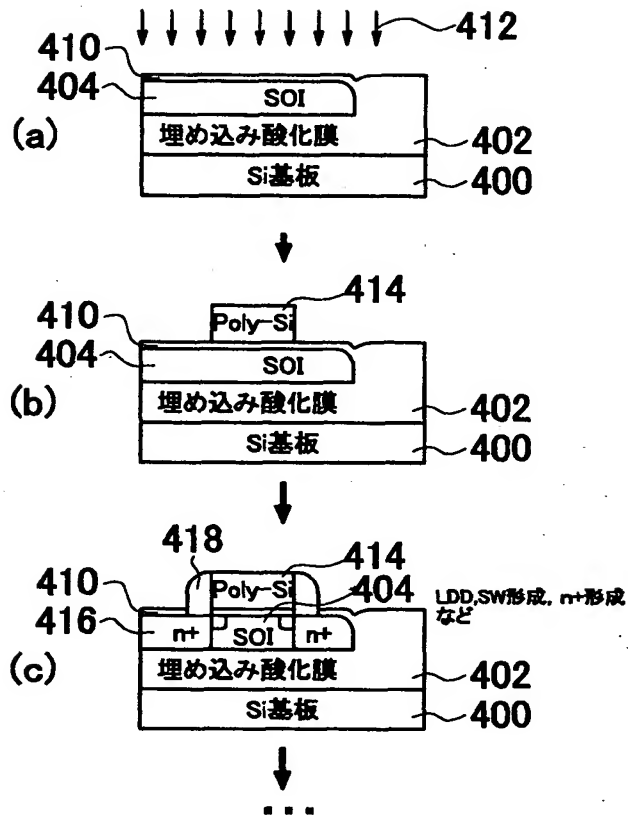
【図 14】



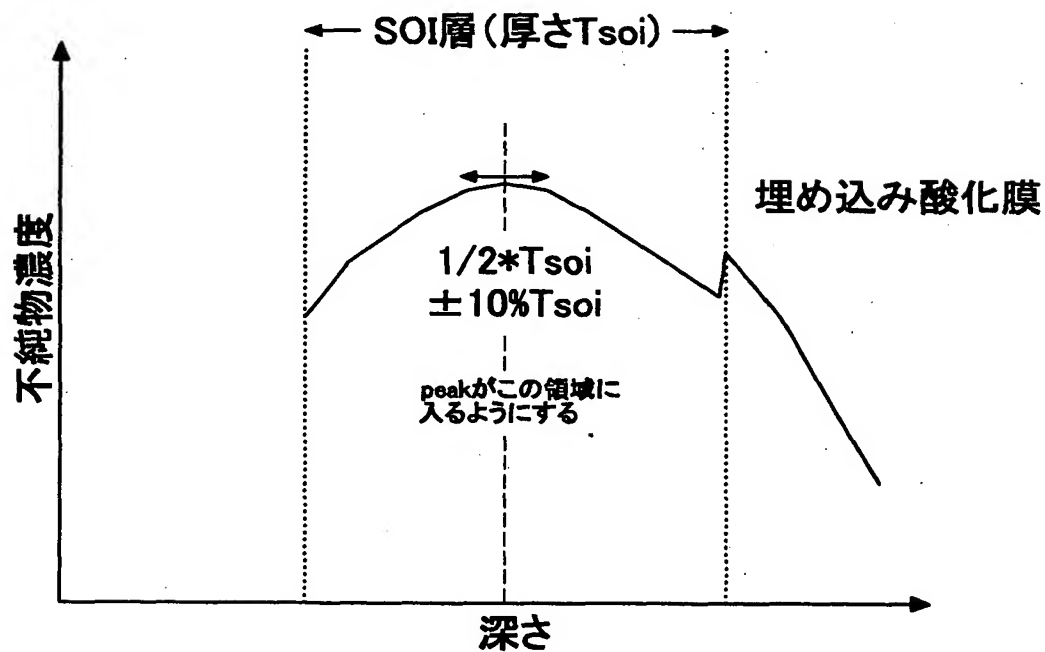
【図 15】



【図 16】

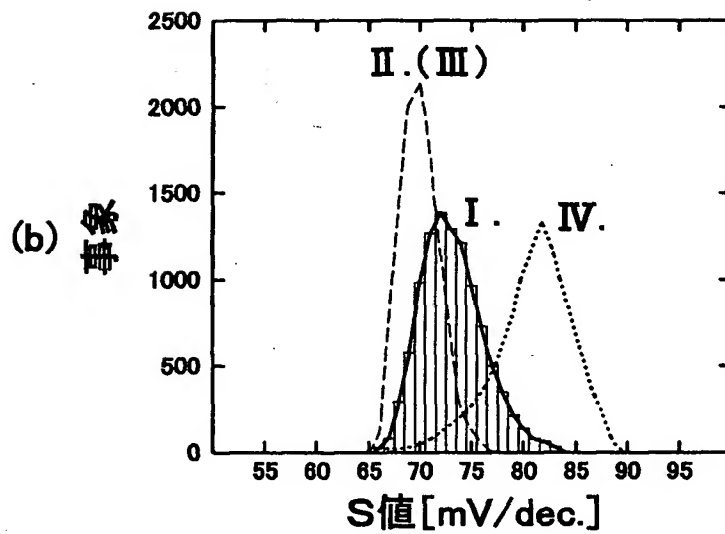
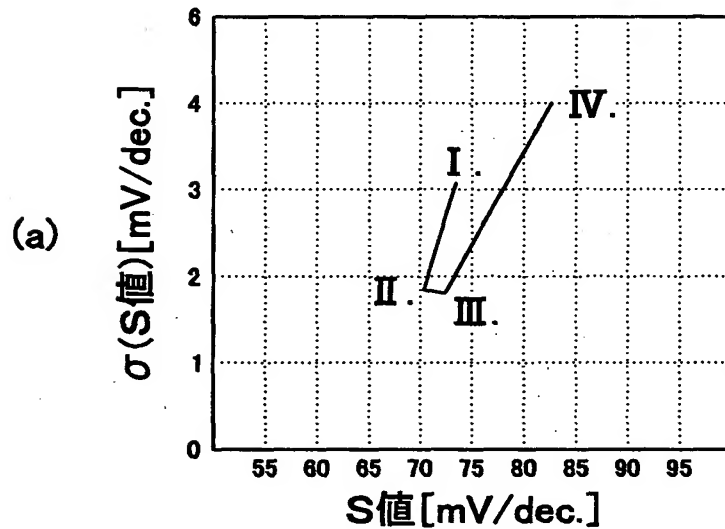


【図 17】

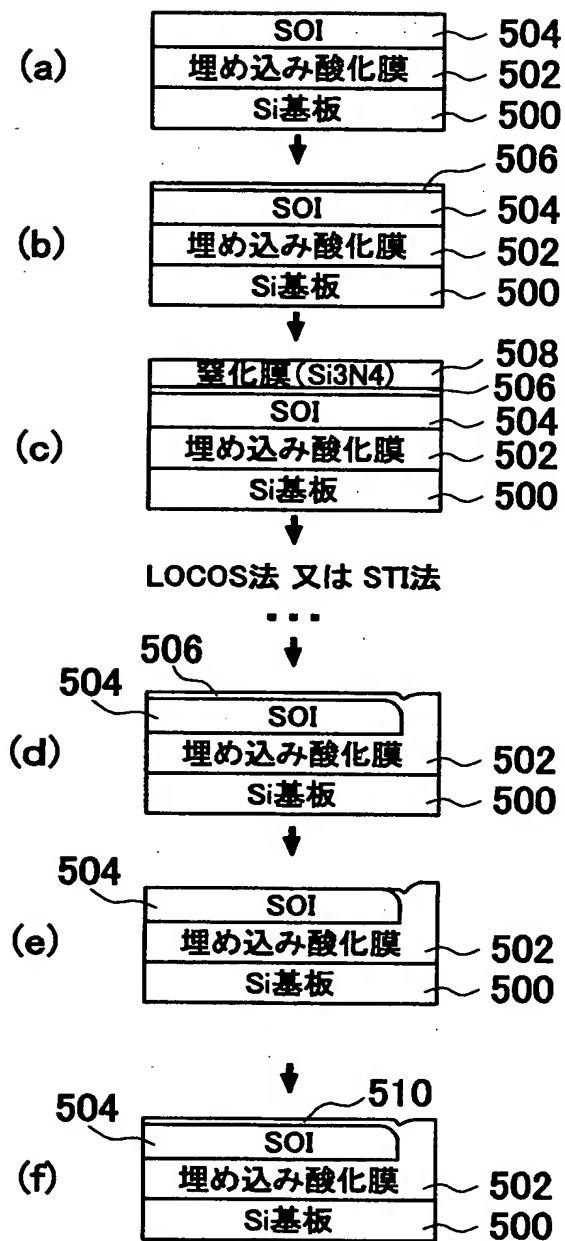


【図 18】

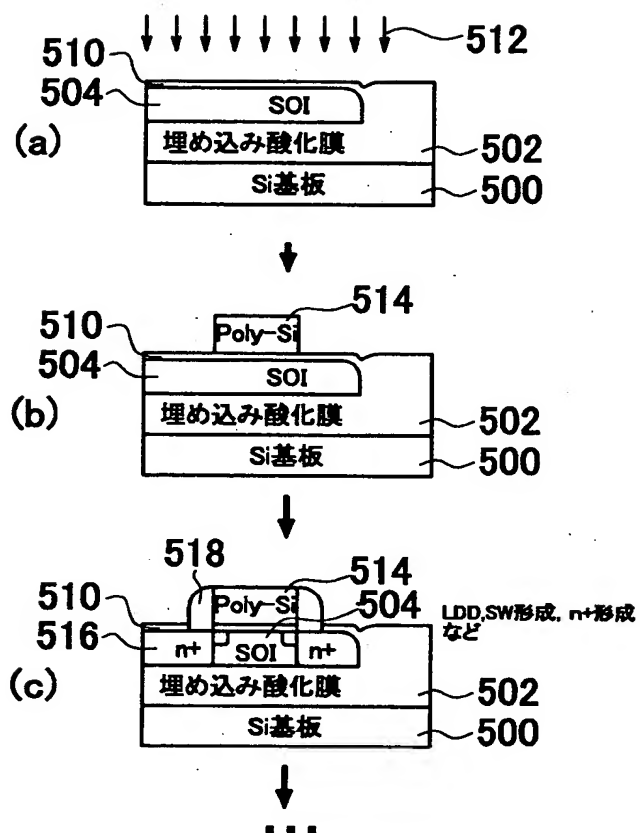
- I. プロファイルピーク位置 $< T_{soi} * 1/2 - 10\% T_{soi}$
- II. プロファイルピーク位置 $= T_{soi} * 1/2 - 10\% T_{soi}$
- III. プロファイルピーク位置 $= T_{soi} * 1/2 + 10\% T_{soi}$
- IV. プロファイルピーク位置 $> T_{soi} * 1/2 + 10\% T_{soi}$



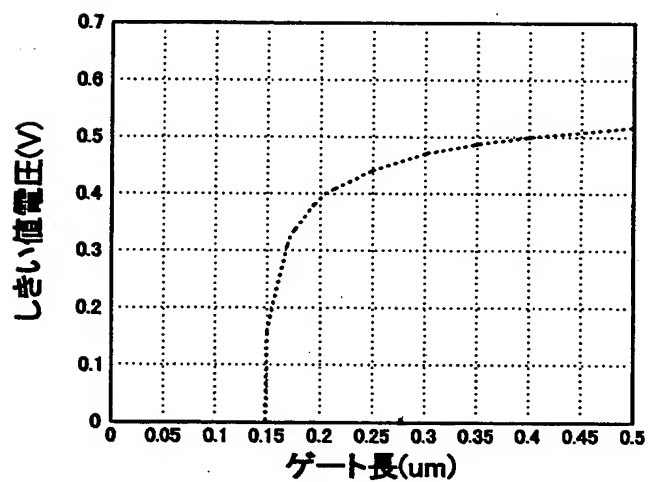
【図19】



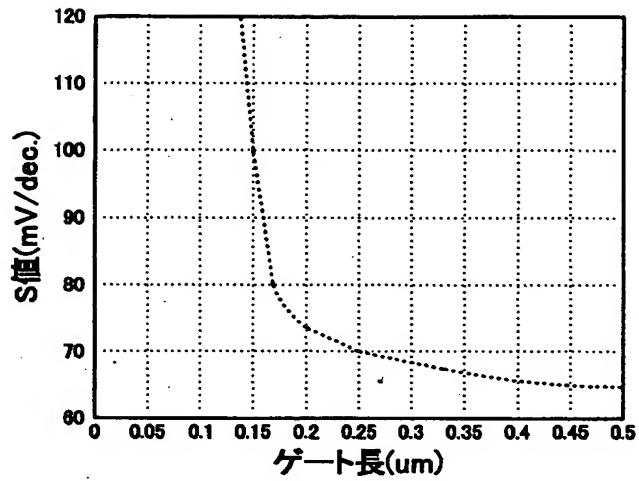
【図 20】



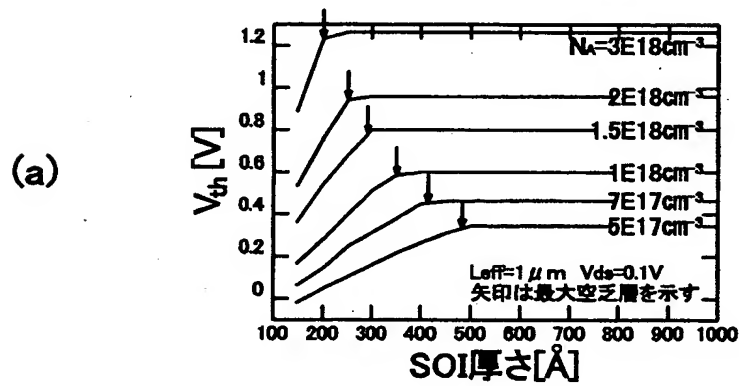
【図 21】



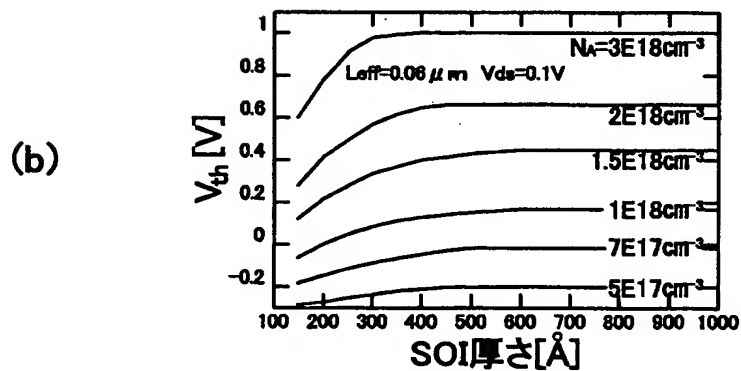
【図 2 2】



【図 2 3】



長チャンネルMOSFET



短チャンネルMOSFET

【書類名】 要約書

【要約】

【課題】 半導体装置の小型化及び薄膜化により影響されるしきい値電圧を、しきい値電圧制御イオンを好適に注入することにより制御する。

【解決手段】 SOI層104に注入されたイオン112によりMOSFETのしきい値電圧が制御される半導体装置において、しきい値電圧制御イオン112は、その濃度ピーク値がSOI層104の $1/2$ 深さ位置($1/2 T_{SOI}$)とSOI層104の下部界面位置(T_{SOI})との間に位置する濃度分布で注入されている。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社